

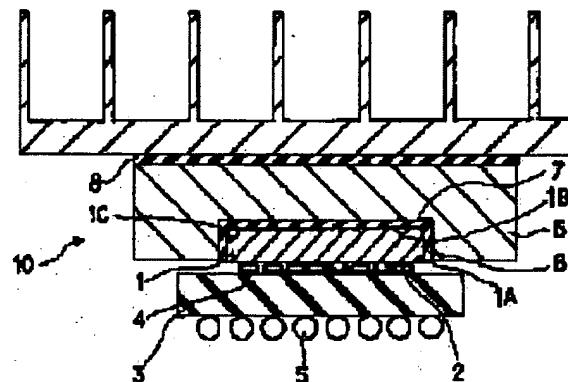
SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE, MANUFACTURE THEREOF, AND ELECTRONIC DEVICE EQUIPPED THEREWITH

Patent number: JP9213847
Publication date: 1997-08-15
Inventor: UCHIDA AKIHISA; SATO TOSHIHIKO
Applicant: HITACHI LTD
Classification:
- **International:** H01L23/36; H01L21/60; H01L23/40
- **European:**
Application number: JP19960016302 19960201
Priority number(s):

Abstract of JP9213847

PROBLEM TO BE SOLVED: To enable an air-cooled LSI (large scale semiconductor integrated circuit device) to be lessened in thermal resistance and improved in heat dissipation efficiency.

SOLUTION: A first heat dissipating body 6 which is formed of aluminum nitride(AlN), copper tungsten(CuW) or the like and very approximate to Si in thermal expansion coefficient and thermal conductivity is provided with a recess 7 at its center, a semiconductor chip 1 of Si is positioned in the recess 7 so as make its rear side 1a and side face 1C come into close contact with the heat dissipating body 6 through the intermediary of an adhesive layer 8 of silicone resin or solder excellent in thermal conductivity. For instance, a second heat dissipating body 9 of Cu or Al high in thermal conductivity is mounted on the first heat dissipating body 6 through the intermediary of another adhesive layer 8 of silicone resin or solder high in thermal conductivity.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-213847

(43)公開日 平成9年(1997)8月15日

(51)Int.Cl. [®]	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 23/36			H 01 L 23/36	D
21/60	3 1 1		21/60	3 1 1 S
23/40			23/40	F

審査請求 未請求 請求項の数9 O L (全8頁)

(21)出願番号	特願平8-16302	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日	平成8年(1996)2月1日	(72)発明者	内田 明久 東京都青梅市今井2326番地 株式会社日立 製作所デバイス開発センター内
		(72)発明者	佐藤 俊彦 東京都青梅市今井2326番地 株式会社日立 製作所デバイス開発センター内
		(74)代理人	弁理士 秋田 収喜

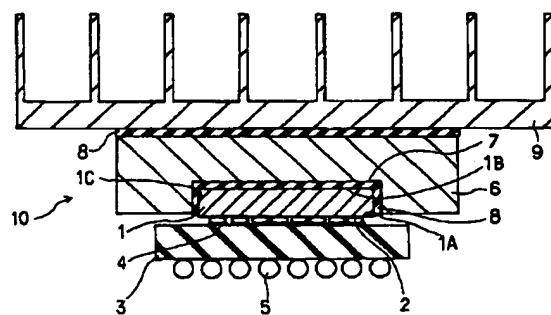
(54)【発明の名称】 半導体集積回路装置及びこの製造方法並びにそれを用いた電子装置

(57)【要約】

【課題】 空冷方式によるLSIにおいても熱抵抗を低減して放熱効率の改善を図ることが可能な技術を提供する。

【解決手段】 例えばアルミニウムナイトライド (AlN)、銅タングステン (CuW) などからなる、Siと熱膨張率が近似しつつ熱伝導率が近似した第1の放熱体6が用いられ、この第1の放熱体6のほぼ中央位置には凹部7が設けられて、Siからなる半導体チップ1は凹部7に位置決めされることにより例えばシリコーン樹脂、半田などからなる熱伝導性に優れた接着層8を介してその裏面1B及び側面1Cが第1の放熱体6によって覆われている。例えばCu系あるいはAl系金属などからなる熱伝導率の高い第2の放熱体9が用いられて、この第2の放熱体9は例えばシリコーン樹脂、半田などからなる熱伝導性に優れた接着層8を介して、第1の放熱体6に取り付けられている。

図2



【特許請求の範囲】

【請求項1】 半導体チップをボール状電極を介してベース基板にフェースダウンボンディングするとともに、その裏面に放熱体を取り付け、前記ベース基板の底面に前記ボール状電極と導通する実装用電極を配置した半導体集積回路装置であって、前記半導体チップの裏面及び側面を覆う第1の放熱体と、この第1の放熱体に取り付けられた第2の放熱体とを有することを特徴とする半導体集積回路装置。

【請求項2】 前記第1の放熱体は、熱伝導性に優れた接着層を介して前記半導体チップの裏面及び側面を覆っていることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項3】 前記ボール状電極は、半田バンプからなることを特徴とする請求項1または2に記載の半導体集積回路装置。

【請求項4】 前記実装用電極は、半田バンプからなることを特徴とする請求項1乃至3のいずれか1項に記載の半導体集積回路装置。

【請求項5】 前記第1の放熱体は、半導体チップの裏面及び側面を覆う凹部が設けられていることを特徴とする請求項1乃至4のいずれか1項に記載の半導体集積回路装置。

【請求項6】 前記第1の放熱体は、前記凹部を囲むように凸部が設けられて、この凸部が前記ベース基板の表面に支持されるようにして前記半導体チップの裏面及び側面を覆っていることを特徴とする請求項5に記載の半導体集積回路装置。

【請求項7】 表面上にボール状電極を設けた半導体チップを、底面に実装用電極を配置したベース基板の表面に前記ボール状電極が前記実装用電極と導通するようにフェースダウンボンディングする工程と、凹部が設けられた第1の放熱体の前記凹部に半導体チップを位置決めし、熱伝導性に優れた接着層を介して前記半導体チップの裏面及び側面を覆うように第1の放熱体を取り付ける工程と、前記第1の放熱体に熱伝導性に優れた接着層を介して第2の放熱体を取り付ける工程とを含むことを特徴とする半導体集積回路装置の製造方法。

【請求項8】 半導体チップがボール状電極を介して底面に実装用電極が配置されたベース基板にフェースダウンボンディングされ、前記半導体チップの裏面及び側面を覆うように第1の放熱体が取り付けられるとともに、この第1の放熱体に第2の放熱体が取り付けられてなる半導体集積回路装置が前記実装用電極を介して配線基板に実装され、この配線基板が複数組み込まれてなることを特徴とする電子装置。

【請求項9】 前記半導体集積回路装置は、前記半導体チップの裏面及び側面を覆う凹部が設けられているとともに、この凹部を囲むように凸部が設けられた第1の放熱体を有し、前記凸部が前記ベース基板の表面に支持さ

れるようにして前記半導体チップの裏面及び側面を覆っていることを特徴とする請求項8に記載の電子装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路装置及びこの製造方法並びにそれを用いた電子装置に関するものである。特に、大電力用に使用する場合に放熱効率の改善を図る半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】 マイクロプロセッサで代表される最近のLSI(大規模半導体集積回路装置)は、多くの機能が要求されるにつれて集積度はより高まっており、ますます多ビン化の傾向にある。これに伴い半導体チップで大量の熱が発生するので、この放熱対策が重要になってきている。

【0003】 マイクロプロセッサは、低電力で動作するMOS型トランジスタからなるCMOS、あるいはこのCMOSを主要部に用いたBiCMOSなどで構成されるのが主流になってきているが、放熱効率を改善するために、そのパッケージは半導体チップの裏面に放熱体を取り付けたBGA(Ball Grid Array)やPGA(Pin Grid Array)からなる冷却構造が採用されている。

【0004】 このようなマイクロプロセッサは、パソコン(PC)、ワークステーション(WS)、メインフレーム(MF)などの各種コンピュータシステムを含む電子装置に組み込まれており、動作中に大量の熱を発生する。高性能のマイクロプロセッサを実現するためには、それらの放熱対策が必須となる。

【0005】 この放熱対策としては、水冷方式が一般的に考えられるが、最近のコンピュータシステムは、限られたスペースに収納可能なようにより小型化されたものの要求が高まっており、水冷方式は冷却のための付帯設備を含めた構造が比較的大きくなるので省力化の点で問題がある。このため、構造が比較的に簡単な空冷方式が有利である。

【0006】 マイクロプロセッサに例をあげると、最近では50~60W程度の消費電力を満たす大電力用のものが要求されているが、この程度のマイクロプロセッサを高性能で動作させるように空冷方式で実現するためには、熱抵抗TはT≤1°C/Wが必要になる。

【0007】 このような観点から、空冷方式によるLSIとして、CCB(Controlled Collapse Bonding)技術を利用することにより、表面に複数の半田バンプ電極を設けた半導体チップの表面側を前記半田バンプ電極を介して例えばセラミックなどから構成されたベース基板にフェースダウンボンディングするとともに、その裏面側を接着用半田を介して例えばAIN(アルミニウムナイトライド)などから構成

された封止用キャップの裏面に接着した構造のパッケージを備えたものが知られている。

【0008】例えば、日経BP社発行、1993年5月31日発行、「VLSIパッケージング技術(下)」、P178には、そのような構造のパッケージを備えたLSIが示されている。

【0009】このような構造のパッケージは、MCC(Micro Carrier for LSI Chip、あるいはMicro Chip Carrier)と称されており、半導体チップで発生した熱は、その裏面から熱伝導性に優れた接着用半田を介して封止用キャップに伝達されて、同様に熱伝導性に優れた封止用キャップから外部に放熱されるようになっている。

【0010】

【発明が解決しようとする課題】前記のようなMCC構造からなる空冷方式によるLSIでは、前記文献の説明からも明らかなように、前記したような熱抵抗Tの条件を満足するのは不可能であり、せいぜい $T \leq 1 \sim \text{数}^{\circ}\text{C}/\text{W}$ が限界である。このため、放熱効率の改善を図るのは不可能となる。

【0011】仮に、消費電力が50WのLSIに例をあげると、 $T = 1^{\circ}\text{C}/\text{W}$ の場合は、パッケージの温度上昇は50°C以上になり、封止用キャップのような放熱体から外気まで含めると100°C位の温度上昇となってしまい、空冷方式による冷却は機能しないことになる。

【0012】本発明の目的は、空冷方式によるLSIにおいても熱抵抗を低減して放熱効率の改善を図ることが可能な技術を提供することにある。

【0013】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

【0014】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば下記の通りである。

【0015】(1) 本発明の半導体集積回路装置は、半導体チップをボール状電極を介してベース基板にフェースダウンボンディングするとともに、その裏面に放熱体を取り付け、前記ベース基板の底面に前記ボール状電極と導通する実装用電極を配置した半導体集積回路装置であって、前記半導体チップの裏面及び側面を覆う第1の放熱体と、この第1の放熱体に取り付けられた第2の放熱体とを有している。

【0016】(2) 本発明の半導体集積回路装置の製造方法は、表面にボール状電極を設けた半導体チップを、底面に実装用電極を配置したベース基板の表面に前記ボール状電極が前記実装用電極と導通するようにフェースダウンボンディングする工程と、凹部が設けられた第1の放熱体の前記凹部に半導体チップを位置決めし、熱伝導性に優れた接着層を介して前記半導体チップの裏面及び側面を覆う第1の放熱体を取り付ける工程と、この第1の放熱体に第2の放熱体が取り付けられてなる半導体集積回路装置が前記実装用電極を介して配線基板に実装され、この配線基板が複数組み込まれている。

び側面を覆うように第1の放熱体を取り付ける工程と、前記第1の放熱体に熱伝導性に優れた接着層を介して第2の放熱体を取り付ける工程とを含んでいる。

【0017】(3) 本発明の電子装置は、半導体チップがボール状電極を介して底面に実装用電極が配置されたベース基板にフェースダウンボンディングされ、前記半導体チップの裏面及び側面を覆うように第1の放熱体が取り付けられるとともに、この第1の放熱体に第2の放熱体が取り付けられてなる半導体集積回路装置が前記実装用電極を介して配線基板に実装され、この配線基板が複数組み込まれている。

【0018】上述した(1)の手段によれば、本発明の半導体集積回路装置は、ボール状電極を介してベース基板にフェースダウンボンディングされる半導体チップの裏面及び側面を覆う第1の放熱体と、この第1の放熱体に取り付けられた第2の放熱体とを有しているので、空冷方式によるLSIにおいても熱抵抗を低減して放熱効率の改善を図ることが可能となる。

【0019】上述した(2)の手段によれば、本発明の半導体集積回路装置の製造方法は、まず、表面にボール状電極を設けた半導体チップを、底面に実装用電極を配置したベース基板の表面に前記ボール状電極が前記実装用電極と導通するようにフェースダウンボンディングする。次に、凹部が設けられた第1の放熱体の前記凹部に半導体チップを位置決めし、熱伝導性に優れた接着層を介して前記半導体チップの裏面及び側面を覆うように第1の放熱体を取り付ける。続いて、前記第1の放熱体に熱伝導性に優れた接着層を介して第2の放熱体を取り付ける。これによって、空冷方式によるLSIにおいても熱抵抗を低減して放熱効率の改善を図ることが可能となる。

【0020】上述した(3)の手段によれば、本発明の電子装置は、半導体チップがボール状電極を介して底面に実装用電極が配置されたベース基板にフェースダウンボンディングされ、前記半導体チップの裏面及び側面を覆うように第1の放熱体が取り付けられるとともに、この第1の放熱体に第2の放熱体が取り付けられてなる半導体集積回路装置が前記実装用電極を介して配線基板に実装され、この配線基板が複数組み込まれているので、空冷方式によるLSIにおいても熱抵抗を低減して放熱効率の改善を図ることが可能となる。

【0021】以下、本発明について、図面を参照して実施形態とともに詳細に説明する。

【0022】なお、実施形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0023】

【発明の実施の形態】

(実施形態1) 図1は本発明の実施形態1による半導体集積回路装置を示す平面図で、図2は図1のA-A断面

図である。本実施形態1による半導体集積回路装置10において、例えばS i 単結晶からなる半導体チップ(L S Iチップ)1の表面1Aには例えば半田バンプからなる複数のボール状電極2が設けられていて、この半導体チップ1は例えばB T樹脂あるいはセラミック(A l₂O₃などを主成分とする)などからなるベース基板3の表面の導電層4に、ボール状電極2が半田付けにより接続されることでフェースダウンボンディングされている。

【0024】半導体チップ1は、例えばCMOS、あるいはこのCMOSを主要部に用いたB i CMOSなどで構成された、マイクロプロセッサ用のチップが用いられている。

【0025】ベース基板3の底面には例えば半田バンプからなる複数の実装用電極5が配置されていて、各実装用電極5はスルーホール配線を通じて対応した導電層4を介して各ボール状電極2と導通している。これによりBGAが構成されて、高密度実装が可能になっている。

【0026】例えばアルミニウムナイトライド(A l N)、銅タングステン(CuW)などからなる、S iと熱膨張率が近似しかつ熱伝導率が近似した第1の放熱体6が用いられ、この第1の放熱体6のほぼ中央位置には凹部7が設けられて、半導体チップ1は凹部7に位置決めされることにより例えばシリコーン樹脂、半田などからなる熱伝導性に優れた接着層8を介してその裏面1B及び側面1Cが第1の放熱体6によって覆われている。この第1の放熱体6は、いわゆるヒートスプレッダーとして働くようになっており、凹部7の深さ寸法はこれに位置決めする半導体チップ1の厚さ寸法(約0.3~0.5mm)よりやや小さな値に設定されている。

【0027】例えばCu系あるいはA l系金属などからなる熱伝導率の高い第2の放熱体9が用いられて、この第2の放熱体9は例えばシリコーン樹脂、半田などからなる熱伝導性に優れた接着層8を介して、第1の放熱体6に取り付けられている。第2の放熱体9は効率的な放熱が可能となるように、表面積の大きいフィン状になっていることが望ましい。

【0028】なお、各ボール状電極2及び実装用電極5の数は、説明を理解し易くするため限られた数で示している。また、同様な趣旨で、半導体チップ1、ベース基板3、第1の放熱体6及び第2の放熱体9などの相互間における寸法の大小関係は、実情を反映していない。

【0029】このような構造のL S Iによれば、半導体チップ1の裏面1B及び側面1Cはとともに、例えばシリコーン樹脂、半田などからなる熱伝導性に優れた接着層8を介して第1の放熱体6によって覆われ、さらにこの第1の放熱体6には例えばシリコーン樹脂、半田などからなる熱伝導性に優れた接着層8を介して第2の放熱体9が取り付けられているので、半導体チップ1で発生した熱はこの裏面1Aだけでなくその側面1Cからも第1

の放熱体6に伝達されて周囲に広がり、さらにこの熱は第2の放熱体9から外気に放熱されるので、効率的な放熱が可能となる。

【0030】よって、熱抵抗Tを著しく低減することが可能となり、約0.2~0.7°C/Wの熱抵抗が実現可能となる。これにより、放熱効率の改善を図ることが可能となり、高性能のマイクロプロセッサを実現できるので、マイクロプロセッサを各種コンピュータシステムを含む電子装置に組み込んだ場合でも、十分な放熱対策を

10 講じることができるようになる。

【0031】次に、本実施形態1による半導体集積回路装置10の製造方法を、図3乃至図6を参照して工程順に説明する。

【0032】まず、図3に示すように、表面1Aに例えば半田バンプからなる複数のボール状電極2が設けられた例えばS i 単結晶からなる半導体チップ(L S Iチップ)1を用意する。

【0033】次に、図4に示すように、表面に導電層4が設けられるとともに、底面に例えば半田バンプからなる複数の実装用電極5が配置された例えば樹脂あるいはセラミックなどからなるベース基板3を用意し、半導体チップ1をその導電層4にボール状電極2を半田付けにより接続して、フェースダウンボンディングする。このボンディング工程は、ベース基板3上に半導体チップ1を位置決めした状態で、リフロー炉を通過させることにより容易に行うことができる。

【0034】続いて、図5に示すように、例えばアルミニウムナイトライド(A l N)、銅タングステン(CuW)などからなる、S iと熱膨張率が近似しかつ熱伝導率が近似した中央位置に凹部7が設けられた第1の放熱体6を用意して、半導体チップ1を凹部7に位置決めすることにより例えばシリコーン樹脂、半田などからなる熱伝導性に優れた接着層8を介して、その裏面1B及び側面1Cを第1の放熱体6によって覆う。

【0035】次に、図6に示すように、例えばCu系あるいはA l系金属などからなる熱伝導率の高い第2の放熱体9を用意して、この第2の放熱体9を例えばシリコーン樹脂、半田などからなる熱伝導性に優れた接着層8を介して、第1の放熱体6に取り付ける。

【0036】以上によって、図1に示したような半導体集積回路装置10が得られる。

【0037】以上のような実施形態1によれば次のような効果が得られる。

【0038】例えば半田バンプからなる複数のボール状電極2を介してベース基板3にフェースダウンボンディングされる半導体チップ1の裏面1B及び側面1Cを覆う第1の放熱体6と、この第1の放熱体6に取り付けられた第2の放熱体9とを有しているので、空冷方式によるL S Iにおいても熱抵抗を低減して放熱効率の改善を図ることが可能となる。

50

【0039】(実施形態2) 図7は本発明の実施形態2による半導体集積回路装置を示す断面図である。本実施形態2による半導体集積回路装置10は、ベース基板3の底面に設けた実装用電極5として短いピンを用いるようにした、いわゆるButt-PGAに適用した例を示すものである。このようなButt-PGA構造においても、BGAと同様に高密度実装が可能になっている。

【0040】以上のような実施形態2によれば、実施形態1に比較してパッケージ構造が異なるだけなので、実施形態1と同様な効果を得ることができる。

【0041】(実施形態3) 図8は本発明の実施形態2による半導体集積回路装置を示す断面図である。本実施形態3による半導体集積回路装置10は、実施形態1に比較して、第1の放熱体6には凹部7を囲むように凸部11が設けられていて、この凸部11は図9に示すように全周囲にわたって設けられている。この凸部11の高さ寸法は、ボール状電極2を含めた半導体チップ1の厚さ寸法よりやや大きな値に設定される。

【0042】第1の放熱体6は、凸部11がベース基板3の表面に樹脂などの絶縁性接着層12を介して支持されるようにして、半導体チップ1の裏面1B及び側面1Cを覆っている。

【0043】以上のような実施形態3によれば、実施形態1と同様な効果が得られる他に、半導体チップ1は第1の放熱体6の凸部11によってベース基板3に外気から密封された構造で取り付けられているので、外気からの不純物、汚染物などの有害な物質の侵入を阻止することができるようになり、高信頼性のLSIを実現できるという効果が得られる。また、第1の放熱体6は凸部11によって半導体チップ1に対して第1及び第2の放熱体6、9の重みがかかるのを阻止しているので、半導体チップ1の破損が防止されるという効果が得られる。

【0044】(実施形態4) 図10は本発明の実施形態4による電子装置を示す断面図で、実施形態1により得られた半導体集積回路装置10を複数用いて、共通の配線基板13に実装してモジュール基板17を組み立てた例を示すものである。

【0045】各半導体集積回路装置10は予め表面に導電層14が設けられた配線基板13上に位置決めされて、リフロー炉を通過させることにより、実装用電極5が導電層14に半田付けされて実装される。

【0046】このように各半導体集積回路装置10を配線基板13に実装する場合、ボール状電極2の半田バンプの成分と実装用電極5の半田バンプの成分とをえておくことにより、各々の融点が相違するので、後工程で実装用電極5の半田付け処理時に前工程で半田付けしたボール状電極2の溶融を避けることができる。なお、本実施形態の構造の場合、第1及び第2の放熱体6、9の重みによって半導体チップ1に加重がかかるのを防止するため、第1の放熱体6と配線基板13との間にスペ

ーサ16を介在させることが望ましい。

【0047】以上のような実施形態4によれば、実施形態1で得られた半導体集積回路装置10を用いてモジュール基板17を組み立てているので、実施形態1と同様に、空冷方式によるLSIにおいても熱抵抗を低減して放熱効率の改善を図ることが可能となる。

【0048】(実施形態5) 図11は本発明の実施形態5による電子装置を示す断面図で、実施形態3により得られた半導体集積回路装置10を複数用いて、共通の配線基板13に実装してモジュール基板17を組み立てた例を示すものである。

【0049】本実施形態の構造によれば、第1の放熱体6の凸部11によって半導体チップ1には加重がかかるないので、スペーサは不要になる。

【0050】以上のような実施形態5によれば、実施形態3で得られた半導体集積回路装置10を用いてモジュール基板17を組み立てているので、実施形態3と同様に、空冷方式によるLSIにおいても熱抵抗を低減して放熱効率の改善を図ることが可能となる。

【0051】(実施形態6) 図12は本発明の実施形態6による電子装置を示す断面図で、実施形態4により得られたモジュール基板17を複数用いて、コネクタ19を介してメイン基板18に実装して各種コンピュータなどの電子装置20を組み立てた例を示すものである。

【0052】以上のような実施形態6によれば、実施形態4で得られたモジュール基板17を用いて電子装置20を組み立てているので、実施形態4と同様に、空冷方式によるLSIにおいても熱抵抗を低減して放熱効率の改善を図ることが可能となる。

【0053】(実施形態7) 図13は本発明の実施形態7による電子装置を示す断面図で、実施形態5により得られたモジュール基板17を複数用いて、コネクタ19を介してメイン基板18に実装して各種コンピュータなどの電子装置20を組み立てた例を示すものである。

【0054】以上のような実施形態7によれば、実施形態5で得られたモジュール基板17を用いて電子装置20を組み立てているので、実施形態5と同様に、空冷方式によるLSIにおいても熱抵抗を低減して放熱効率の改善を図ることが可能となる。

【0055】以上、本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0056】例えば、前記実施形態では、BGAあるいはButt-PGA構造のパッケージを有するLSIに適用した例で説明したが、これらに限らず、例えばTAB (Tape Automated Bonding)構造のパッケージに適用することも可能である。

【0057】また、前記実施形態では、半導体チップは

9

例えばCMOS、あるいはこのCMOSを主要部に用いたBi-CMOSなどで構成されたマイクロプロセッサ用のチップに例をあげて説明したが、これに限らず、ECL-CMOS、ECLタイプのマイクロプロセッサ、あるいはMPU、MCUさらには周辺ASIC-LSIなどにも適用可能である。

【0058】さらに、前記実施形態では、BGAあるいはButt-PGA構造のパッケージを有するLSIに適用した例で説明したが、このように実装用電極がボール状あるいは短ピン状になっている構造では、特に高周波信号を扱う場合にインダクタンス成分を低減することができるので、高速化を図る上で効果的となる。

【0059】なお、前記実施形態で示した、ボール状電極、第1及び第2の放熱体、熱伝導性に優れた接着層などの具体的な材料は一例を示したものであり、同じような機能を有するものであれば、同様に用いることができる。

【0060】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である半導体集積回路装置に適用した場合について説明したが、それに限定されるものではない。本発明は、少なくとも大電力用に使用する場合に放熱効率の改善を図ることを条件とするものには適用できる。

【0061】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

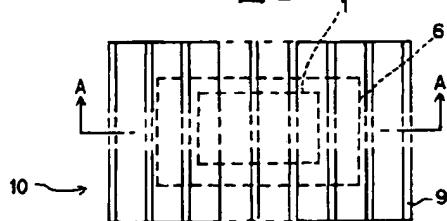
【0062】ボール状電極を介してベース基板にフェースダウンボンディングされる半導体チップの裏面及び側面を覆う第1の放熱体と、この第1の放熱体に取り付けられた第2の放熱体とを有しているので、空冷方式によるLSIにおいても熱抵抗を低減して放熱効率の改善を図ることが可能となる。

【図面の簡単な説明】

【図1】本発明の実施形態1による半導体集積回路装置*

【図1】

図1



10

*を示す平面図である。

【図2】図1のA-A断面図である。

【図3】本発明の実施形態1による半導体集積回路装置の製造方法の一工程を示す断面図である。

【図4】本発明の実施形態1による半導体集積回路装置の製造方法の他の工程を示す断面図である。

【図5】本発明の実施形態1による半導体集積回路装置の製造方法のその他の工程を示す断面図である。

【図6】本発明の実施形態1による半導体集積回路装置の製造方法のその他の工程を示す断面図である。

【図7】本発明の実施形態2による半導体集積回路装置を示す断面図である。

【図8】本発明の実施形態3による半導体集積回路装置を示す断面図である。

【図9】本発明の実施形態3による半導体集積回路装置の主要部を示す底面図である。

【図10】本発明の実施形態4による電子装置を示す断面図である。

【図11】本発明の実施形態5による電子装置を示す断面図である。

【図12】本発明の実施形態6による電子装置を示す断面図である。

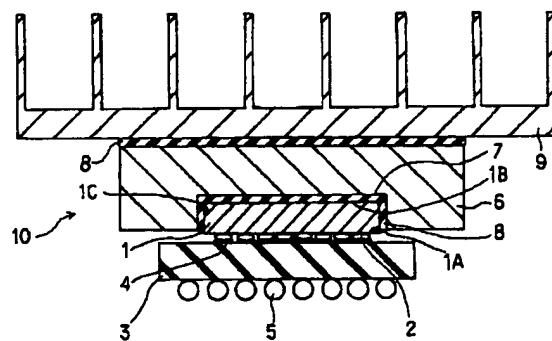
【図13】本発明の実施形態7による電子装置を示す断面図である。

【符号の説明】

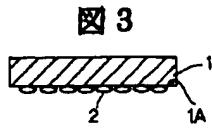
1…半導体チップ、1A…半導体チップの表面、1B…半導体チップの裏面、1C…半導体チップの側面、2…ボール状電極、3…ベース基板、4…導電層、5…実装用電極、6…第1の放熱体(ヒートスプレッダー)、7…凹部、8…熱伝導性に優れた接着層、9…第2の放熱体、10…半導体集積回路装置、11…凸部、12…絶縁性接着層、13…配線基板、14…導電層、15…配線基板、16…スペーサ、17…モジュール基板、18…メイン基板、19…コネクタ、20…電子装置。

【図2】

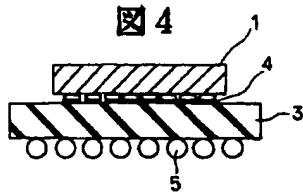
図2



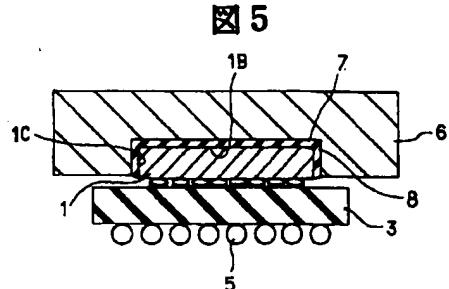
【図3】



【図4】



【図5】



【図6】

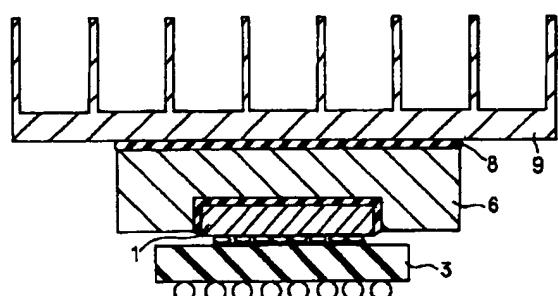
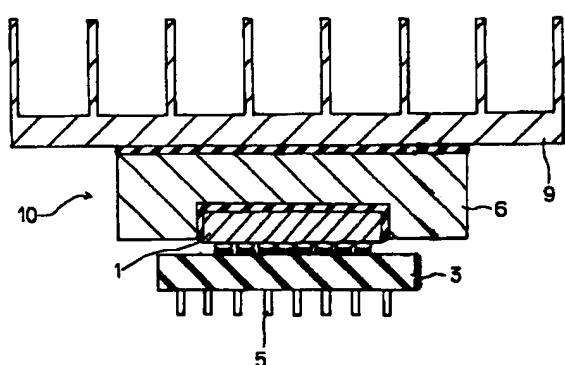


図6

【図7】



【図8】

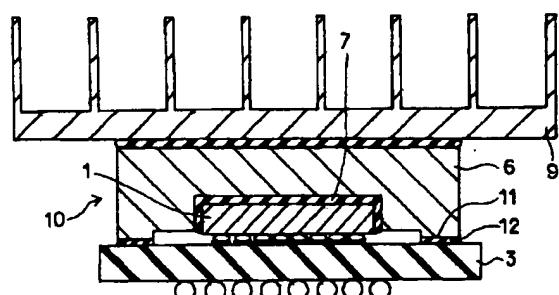


図8

【図9】

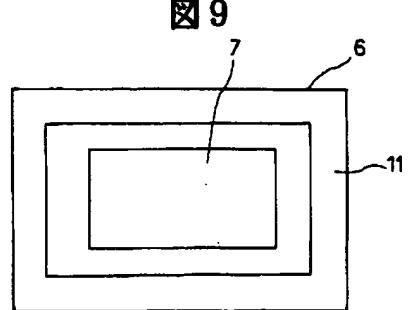
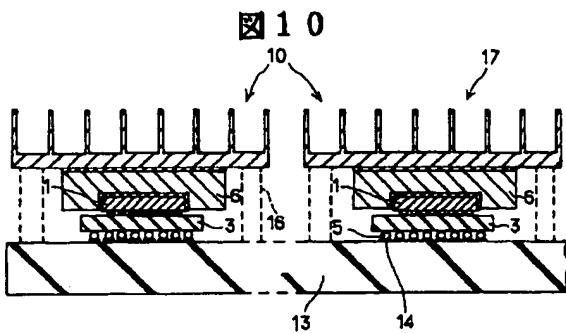
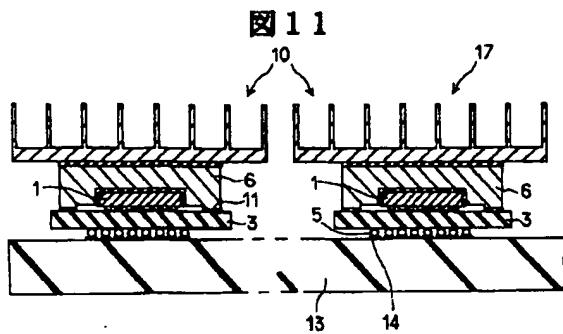


図9

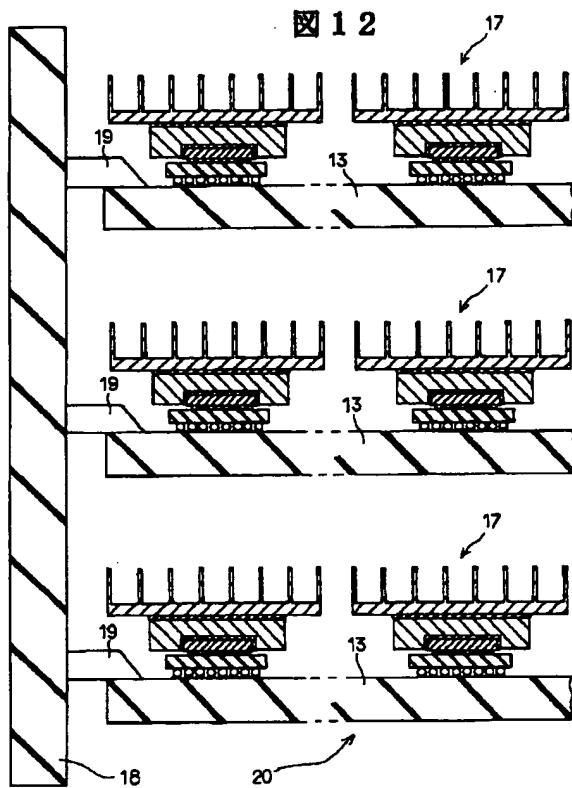
【図10】



【図11】



【図12】



【図13】

